

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



(19)

(11) Publication number:

**02285682 A**

Generated Document.

**PATENT ABSTRACTS OF JAPAN**

(21) Application number: 01105922

(51) Intl. Cl.: H01L 29/804 H01L 29/203

(22) Application date: 27.04.89

(30) Priority:

(43) Date of application  
publication: 22.11.90(84) Designated contracting  
states:

(71) Applicant: HITACHI LTD

(72) Inventor: TAGAMI TOMONORI  
YAMANE MASAO  
USAGAWA TOSHIYUKI

(74) Representative:

**(54) SEMICONDUCTOR  
HETERO JUNCTION AND  
SEMICONDUCTOR DEVICE  
USING IT**

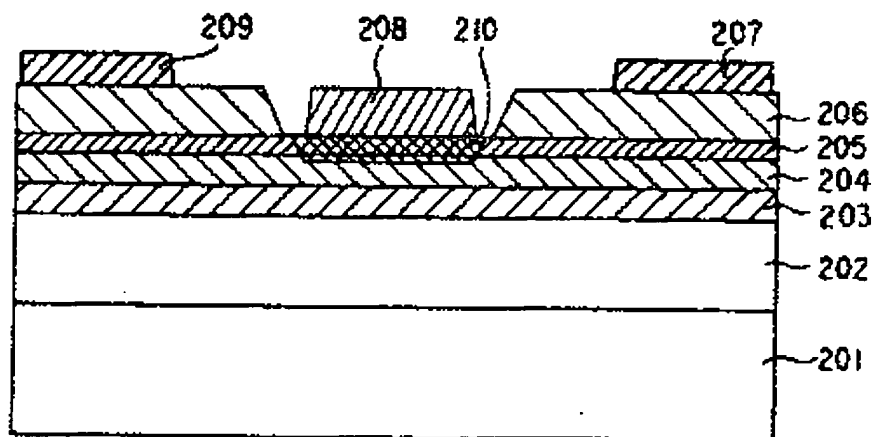
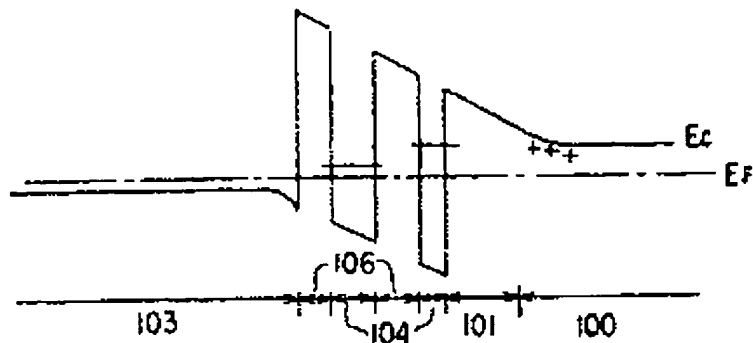
(57) Abstract:

**PURPOSE:** To reduce a contact resistance in a junction interface as a gate breakdown strength is kept high by a method wherein an impurity is introduced only in the vicinity of the junction interface in a high concentration, a potential well layer is provided within a certain specified range from the junction interface and a high-concentration impurity layer only in the vicinity of a gate electrode or the potential well layer is removed or an acceptor impurity is introduced only in the vicinity of the gate electrode.

**CONSTITUTION:** First, an N-type high-concentration impurity layer is provided in an N-type GaAs layer 206, for example, in the vicinity of a hetero junction interface. Or a potential well layer, that is, thin

undoped GaAs layers 104 and thin undoped AlGaAs layers 106 are alternately laminated on the hetero junction interface and the number of the GaAs layers can be chosen in a range of one layer or more according to the magnitude of a contact resistance to be needed. Moreover, as these low-impurity density AlGaAs layers are depleted and the contact resistance is increased, the thickness of the AlGaAs layers are limited to a thickness of 100Å or thinner. Thereby, the tunneling probability of carriers can be enhanced. On the other hand, an acceptor diffused layer 210 is provided in the vicinity of a gate electrode 208. As the layer 210 compensates electrically a donor impurity under the lower part of a gate, a gate breakdown strength rises.

COPYRIGHT: (C)1990,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-285682

⑮ Int. Cl.<sup>6</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)11月22日

H 01 L 29/804  
29/203

8526-5F  
7733-5F

H 01 L 29/80

A

審査請求 未請求 請求項の数 6 (全9頁)

⑭ 発明の名称 半導体異種接合およびそれを用いた半導体装置

⑰ 特 願 平1-105922

⑱ 出 願 平1(1989)4月27日

⑲ 発 明 者 田 上 知 紀 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑲ 発 明 者 山 根 正 雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑲ 発 明 者 宇 佐 川 利 幸 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
㉑ 代 理 人 弁理士 中村 純之助

明 細 書

1. 発明の名称

半導体異種接合およびそれを用いた半導体装置

2. 特許請求の範囲

1. 伝導帯または価電子帯にエネルギー不連続状態を有する半導体異種接合において、上記接合界面の近傍に高濃度不純物層が設けられていることを特徴とする半導体異種接合。
2. 伝導帯または価電子帯にエネルギー不連続状態を有する半導体異種接合において、キャリアに対してポテンシャル障壁となる側の半導体層中の上記接合界面の近傍に、上記キャリアを生じさせるような高濃度不純物層が設けられていることを特徴とする半導体異種接合。
3. 伝導帯または価電子帯にエネルギー不連続状態を有する半導体異種接合において、キャリアに対してポテンシャル障壁となる側の半導体層中の上記接合界面から100Å以内の部分にポテンシャル井戸層が少なくとも1層設けられていることを特徴とする半導体異種接合。

4. 電極と能動層との間に半導体異種接合を有する半導体装置において、上記半導体異種接合が請求項1、2または3記載の異種接合であることを特徴とする半導体装置。

5. 1個または複数個の上記電極の近傍において、上記高濃度不純物層または上記ポテンシャル井戸層が除去されていることを特徴とする請求項4記載の半導体装置。

6. 1個または複数個の上記電極の近傍における上記高濃度不純物層の部分に、上記高濃度不純物層の不純物と逆の導電型を生じさせる不純物が導入されていることを特徴とする請求項4記載の半導体装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、半導体異種接合および半導体装置に係り、特に、高速、低雑音、あるいは高増幅率であるような半導体装置とその作製を可能にするような半導体異種接合に関する。

【従来の技術】

従来、半導体異種接合およびそれを用いた半導体装置については、電子情報通信学会技術報告 E D 8 7-158、37頁、および電子情報通信学会技術報告 E D 8 8-77、47頁に詳しく記載されている。

【発明が解決しようとする課題】

上記従来例においては、GaAsと AlGaAs の半導体異種接合を用いており、特に、AlGaAs の接合近傍の不純物濃度を下げることにより高耐圧化を図っている。しかし、そのことにより、異種接合界面の接触抵抗が増加し、高速、低雑音な動作を妨げるという問題を有していた。

【課題を解決するための手段】

上記課題を解決するために、接合界面の近傍のみに不純物を他の部分より高濃度に導入した。または接合界面から100Å以内の部分にポテンシャル井戸となる層を1層以上設けた。そしてゲート電極の近傍においてのみ高濃度不純物層、あるいはポテンシャル井戸層を除去するか、電極の近傍

の高濃度不純物層の部分に、先に導入した不純物と逆の導電型を生じさせる不純物を導入した。

【作用】

高濃度不純物層は異種接合界面に生じる空間電荷層を薄くする。また、ポテンシャル井戸層は上記空間電荷層中にキャリアのトンネリングし得る状態を形成する。いずれの場合にも、キャリアのトンネリング確率が高くなり、接触抵抗は低減する。また、ゲート電極の近傍のみ高濃度不純物層またはポテンシャル井戸層を除去するか、あるいはアクセプタ不純物を導入することにより、ゲート電極下部においてはトンネリングが起きにくくなり、ゲート耐圧も同時に高く保つことが可能になる。

【実施例】

実施例 1

第1図は、本発明の実施例1の構造のエネルギー帯構造図である。100はSiドナー密度  $2 \times 10^{17} / \text{cm}^3$  のn型 Al<sub>0.3</sub>Ga<sub>0.7</sub>As 層、101は厚さ150Åのアンダーブ Al<sub>0.3</sub>Ga<sub>0.7</sub>As 層、

- 3 -

102は厚さ100Å、Siドナー密度  $5 \times 10^{18} / \text{cm}^3$  のn<sup>+</sup>型 Al<sub>0.3</sub>Ga<sub>0.7</sub>As 層、103はSiドナー密度  $2 \times 10^{17} / \text{cm}^3$  のn型 GaAs 層である。本構造を作製するには、10Å程度の厚さでSiドナー密度および結晶組成を制御できる結晶成長法が必要であるが、ここでは分子線エピタキシー法を用いて成長温度550℃で成長した。この他に有機金属気相成長法などを用いても、基板温度および材料ガスの切り替えに留意した装置を用いて上記の条件を満たすことができれば同様の効果が得られる。ドナーとしてはSiの他にSn、S、Te、Seなどを用いてもよい。

本構造においては、異種接合界面に生じる空間電荷層の厚さが約80Åとなる。第2図に示したのはn<sup>+</sup>型 Al<sub>0.3</sub>Ga<sub>0.7</sub>As 層102のない従来構造であるが、この場合には空間電荷層の厚さが約200Åと2.5倍となる。界面を通過するトンネリング電流の密度は空間電荷層の厚さの指数関数に反比例するので、本発明の構造においては従来の約10倍のトンネリング電流が流れる。すなわち、

- 4 -

界面の接触抵抗は1/10になる。

なお、本実施例において挙げた組成、膜厚およびドナー密度の数値は絶対的なものではない。本発明で本質的なのは、アンダーブ層と異種接合界面の間に高濃度にドーパされた層を設けることにより空間電荷層の厚さを減少させ、電子のトンネリング確率を高くすることである。したがって、組成、不純物密度、および膜厚の数値はその条件が満たされる範囲で選ぶことができる。具体的な数値の目安としては、空間電荷層の厚さが100Å程度以下になるように不純物密度を選べば、接触抵抗はほぼ  $10^{-1} \Omega \text{cm}^2$  以下にすることができる。

また、ここではn型の場合について述べたが、p型の場合にも電子の代わりに正孔を、伝導帯の代わりに価電子帯を、ドナーの代わりにアクセプタを考えれば、全く同様にして接触抵抗を低減できるのは勿論のことである。

また、用いる材料もここで挙げた AlGaAs / GaAs の組合せに限らず、例えばこの他にも、AlGaAs / InGaAs、GaAs /

InGaAs、InGaAs/InAlAs、InGaAs/InP、GaSb/AlGaSb等の組合せにおいても、異種接合界面に接触抵抗が生じるがその場合でも同様のエネルギー構造を実現できるので、同様の効果が得られるのは勿論である。

#### 実施例2

本発明の上記実施例1においてn<sup>+</sup>型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層102を無くし、代わりに第3図に示すようにポテンシャル井戸層、すなわち薄いアンドープGaAs層104と薄いアンドープAlGaAs層106を交互に積層する。各層の層厚はヘテロ接合の側から順にAlGaAs層30Å、GaAs層20Å、AlGaAs層50Å、GaAs層10Åである。このようにすることにより空間電荷層の中に電子がトンネリングし得る層ができる。また、電子に対してエネルギー障壁となるアンドープAl<sub>0.3</sub>Ga<sub>0.7</sub>As層101の伝導帯のエネルギーは第3図に示すように低くなる。そのため、まず電子がトンネリングする確率は従

来よりも5倍程度高くなり、また、熱エネルギーをもつ電子による電流も増加する。これらの効果により、本実施例の異種接合界面の接触抵抗は従来の1/7程度となった。

なお、本実施例において挙げた膜厚および層数の数値は絶対的なものではない。ようするに空間電荷層中に電子のトンネリングし得る層が形成されればトンネリング電流は増加するので、接触抵抗は減少する。したがって、必要とされる接触抵抗の大きさによってGaAs層の数を1層以上の範囲で選ぶことができる。

また、材料についても実施例1と同様にここであげた材料に限られる訳ではなくAlGaAs/InGaAs、GaAs/InGaAs、InGaAs/InAlAs、InGaAs/InP、GaSb/AlGaSb等の組合せにおいても同様の構造を作製することにより同様の効果を得ることができる。

#### 実施例3

第4図に示したのは本発明の実施例3の半導体

- 7 -

装置の断面構造模式図である。201は半絶縁性GaAs基板、202は低不純物密度GaAs層（厚さ3000Å、不純物密度 $1 \times 10^{16}/\text{cm}^3$ 以下）、203はn型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層（厚さ300Å、不純物密度 $1 \times 10^{17}/\text{cm}^3$ ）、204は低不純物密度AlGaAs層（厚さ200Å、不純物密度 $1 \times 10^{17}/\text{cm}^3$ 以下）、205はn<sup>+</sup>型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層（厚さ100Å、不純物密度 $5 \times 10^{18}/\text{cm}^3$ ）、206はn型GaAs層（厚さ1600Å、不純物密度 $5 \times 10^{18}/\text{cm}^3$ ）、207はソース電極、208はゲート電極、209はドレイン電極である。

低不純物密度GaAs層202の厚さは500Å以上であればトランジスタ動作する。しかし、その厚さが2000Å以下であると基板の影響によって電子濃度が減少してしまう。その厚さが2000Å以上であれば電子濃度の減少は $1 \times 10^{17}/\text{cm}^3$ 以下となるので2000Å以上であることが望ましい。また、低不純物密度GaAs層202中の不純物密度は少ないほど電子の移動度は高くなるが、トラ

- 8 -

ンジスタ動作の観点からは若干のp型になるのが望ましい。しかし、不純物密度があまりに高いとp型の中性領域が形成されトランジスタ動作が著しく阻害される。したがって、低不純物密度GaAs層202中の不純物はアクセプタでその密度は中性領域が形成されない程度であることが望ましい。すなわち、その厚さが3000Åであれば $1 \times 10^{16}/\text{cm}^3$ 以下、1μmであれば $1 \times 10^{16}/\text{cm}^3$ 以下である必要がある。

n型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層203の厚さは300Å±100Å、不純物密度 $0.5 \sim 5 \times 10^{17}/\text{cm}^3$ の範囲で、また、低不純物密度AlGaAs層204の厚さは200Å±100Å、不純物密度は $1 \times 10^{17}/\text{cm}^3$ 以下の範囲で選ぶことができる。ただし、ここで、耐圧および閾値電圧を考慮する必要があるためにそのすべてを自由に選ぶことはできない。耐圧向上のためにはn型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層203中にn型の中性領域ができないことが望ましい。したがって、n型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層203と低不純物密度AlGaAs層204の厚

- 9 -

- 10 -

さおよび不純物密度はトランジスタに要求される閾値電圧を実現し、かつ、n型

Al<sub>0.3</sub>Ga<sub>0.7</sub>As層203中に中性領域が生じないように上記の範囲から選ぶべきである。

また、層203、204、205においてAl組成は0.3であるが、この値は必ずしも0.3である必要は無い。チャネル中の電子密度はAl組成と共に増加するのでAl組成は高い方が望ましいが、化学的に活性なAlの組成が増加することによって結晶中の不純物、あるいは欠陥の量が増加するとともに、異種接合界面における接触抵抗が増加し、トランジスタ特性が劣化する。そこで、ここでは組成を0.3としたが、0.15から0.5の間の範囲であればトランジスタとして正常に動作する。

本発明の接触抵抗低減の効果は、n<sup>+</sup>型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層205の厚さが100Åであれば不純物密度が $4 \times 10^{18} / \text{cm}^3$ で飽和し、それよりも低密度の場合には効果が落ちる。その様子を表わしたのが第6図および第7図である。第6図で不純物密度が $4 \times 10^{18} / \text{cm}^3$ 以上の場合には接

触抵抗低減の効果は飽和しているのでここでは不純物密度 $5 \times 10^{18} / \text{cm}^3$ を選んでいるが、それより低密度、例えば $1 \times 10^{18} / \text{cm}^3$ でもある程度の効果は得られる。したがって、n<sup>+</sup>型

Al<sub>0.3</sub>Ga<sub>0.7</sub>As層205の不純物密度は $1 \sim 5 \times 10^{18} / \text{cm}^3$ の範囲で選ばばよい。また、n<sup>+</sup>型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層205の厚さについては、第7図に示したように、80Å以上であれば接触抵抗低減の効果は飽和しているので、ここでは100Åを選んでいるが40Å程度でもその効果は表われている。そこで40~100Åの範囲で選ばばよい。なお、これらの値はAl<sub>0.3</sub>Ga<sub>0.7</sub>As層についてのものであって、Al組成が異なる場合にはこれらの値は変わるが、その場合でも第6図、あるいは第7図に相当するデータから適切な膜厚および不純物密度を決定することが可能である。

n型GaAs層206の厚さは不純物密度との兼ね合いで決定すべきであるが、3000Åを超えるとトランジスタを形成した時に段差が大きくなって配線が断線する確率が高まるのでそれ以下で

- 11 -

あることが望ましい。また、不純物密度は高ければ高いほど望ましいが、n型GaAs層206の抵抗がチャネル抵抗に比べて10%以下であればその効果はほぼ飽和するので、厚さと抵抗の兼ね合いで決定すればよい。

なお、低不純物密度GaAs層202とn型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層203との間に厚さ500Å程度以下の低不純物密度AlGaAs層を挿入することによって電子の移動度の増大を図ることも可能である。しかし、本発明の上記実施例1における接触抵抗低減の効果の説明でも明らかなようにこの低不純物密度AlGaAs層は空乏化して接触抵抗を増加させるので、その厚さは100Å以下であることが望ましい。本実施例では上記接触抵抗の増加を避けるために低不純物密度AlGaAs層をこの部分に用いることはしていない。

本構造の作製工程は以下の通りである。

まず、半絶縁性GaAs基板201上に202~206までの層を順次堆積する。堆積方法

- 12 -

としては分子線エピタキシー法、あるいは有機金属気相成長法などを用いて成長を行えばよい。ただし、その際にドーピングした不純物が拡散しないように結晶成長条件、および不純物の種類を選ぶ必要がある。分子線エピタキシー法の場合にはSiを不純物として用い、成長温度を600℃以下にすることによって上記の条件を実現することが可能である。

試料を結晶成長装置から取り出した後に、通常のホトリソグラフィーによってトランジスタのチャネル領域のみを保護し、それ以外の領域をメサエッチングしてアイソレーションする。次に、通常のホトリソグラフィーによってソース、およびドレイン電極領域のみを露出させる。そこに電極材料であるAuGe合金を2000Å蒸着し、リフトオフする。続いて、電子線直接描画によってゲート電極領域のみを露出させる。この工程はサブミクロンのゲートを形成するために電子線直接描画を用いているが同様の加工寸法を実現できるならば他の方法、例えば通常のホトリソグラフィーを

行なってパターンを形成した後に側壁を形成することによって寸法を縮小する工程を用いてもよい。その後、GaAsのみをエッチングし、AlGaAsをほとんどエッチングしないような溶液、例えばアンモニアと過酸化水素の1:50の混合液によりエッチングし、n型GaAs層206のみを除去する。さらに、AlGaAsを制御性よくエッチングできる溶液、例えば5℃に保ったリン酸、過酸化水素、水の1:10:40の混合液により100Åエッチングし、n<sup>+</sup>型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層205を除去する。そこにゲート電極としてAlを3000Å蒸着しリフトオフすることにより、第4図に示す構造を得る。さらに、図には示していないが、保護膜としてリン酸ガラス(PSG)を4000Å程度全面に堆積し、通常のホトリソグラフィとエッチングによって電極の上部のみに穴を開けてそこに対して配線することにより耐湿性を向上させることができる。

ゲート長0.2μmのトランジスタの特性は以下のとおりである。

- 15 -

GaAs層を設ける。またはn<sup>+</sup>型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層205を設けない場合は、低不純物密度AlGaAs層204とn型GaAs層206との間に設ける)ことにより、n型GaAs層206のエネルギー準位を下げることができ、それに伴ってn<sup>+</sup>型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層205(または低不純物密度AlGaAs層204)のエネルギー準位も下がるので、キャリアのトンネリング確率を高くすることができる。なお、n<sup>+</sup>型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層205を設けないで、上記n<sup>+</sup>型GaAs層のみを設けても本発明の効果があるが、両方設けることにより効果をより高めることができる。

また、用いる材料はここで挙げたAlGaAs/GaAsの組合せに限らず、例えばこの他にも、AlGaAs/InGaAs、GaAs/InGaAs、InGaAs/InAlAs、InGaAs/InP、GaSb/AlGaSb等の組合せにおいても異種接合界面に接触抵抗が

- 17 -

ソース・ゲート間抵抗 $R_{sg} \approx 0.5 \Omega \text{ mm}$ 、12GHzにおける最小雑音指数0.65dB、その時の利得12dB、遮断周波数 $f_T$ は92GHzであった。従来例の場合のソース・ゲート間抵抗 $R_{sg} \approx 1.0 \Omega \text{ mm}$ 、12GHzにおける最小雑音指数0.65dB、その時の利得10.5dB、遮断周波数 $f_T$ 50GHzであるので、それと比較して著しい改善の効果が見られた。

また、液体窒素温度に冷却した場合にはその効果はさらに大きくなり、従来例の場合の12GHzにおける最小雑音指数0.55dB、その時の利得12dB、遮断周波数 $f_T$ 65GHzに対して、本実施例の場合12GHzにおける最小雑音指数0.32dB、その時の利得16.5dB、遮断周波数 $f_T$ 140GHzとなった。

また、n型GaAs層206を除去しなかった場合にはゲートの耐圧が1V以下になり、特性の相定は不可能であった。

なお、図には示していないが、異種接合界面近傍のn型GaAs層206にn型高濃度不純物層を設ける(換言すれば、n<sup>+</sup>型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層205とn型GaAs層206との間にn<sup>+</sup>型

- 16 -

生じるが、その場合でも同様のエネルギー構造を実現できるので、同様の効果が得られるのは勿論である。

#### 実施例4

第5図(a)に示したのは、本発明の実施例4の断面構造図である。実施例3と異なるのはn型Al<sub>0.3</sub>Ga<sub>0.7</sub>As層205をエッチングする代わりにアクセプタ拡散層210を設けた点であり、それ以外の点は実施例3と同じである。

製造方法は層構造の堆積およびGaAs層206のエッチングまでは実施例3と同様に行なう。その後、アクセプタ不純物、例えばBeあるいはZnを表面原子濃度が $5 \times 10^{18} / \text{cm}^2$ になるように蒸着し、さらにゲート金属の形成を実施例3と同様に行なう。その後、450℃で5分間アニールして不純物を拡散しアクセプタ拡散層210を形成する。この拡散は保護膜であるPSGの形成と同時に進めることも可能である。

アクセプタ拡散層は第5図(b)に示すようにゲート下部のドナー不純物を電気的に補償するの

- 18 -



でゲートの耐圧が上昇する効果がある。

本実施例のトランジスタの高周波特性は実施例3のそれとほぼ同様であり、また、ゲート耐圧は8V以上となり充分な特性が得られた。

#### 実施例5

第8図に示したのは、本発明の実施例5の半導体装置の断面構造模式図である。実施例3と異なるのは低不純物密度GaAs層202の基板側の一部(2500Å)を $Al_{0.3}Ga_{0.7}As$ 層301( $x=0.3$ )で構成したことである。 $Al_{0.3}Ga_{0.7}As$ 層301は電子親和力がGaAsよりも大きいので、チャネル中で加速されエネルギーの高くなった電子が基板側に入り込む確率が小さくなり、いわゆるショートチャネル効果が低減される。そのため、相互コンダクタンスは上昇し、ドレインコンダクタンスは減少する。その結果、素子の雑音は低減される。

$Al_{0.3}Ga_{0.7}As$ 層301の厚さは、上記のショートチャネル効果の低減の為に100Å程度でも効果が現われるが、チャネル中の電子濃

度との兼ね合いで実施例3における低不純物密度GaAs層202の厚さと同様の配慮によって決定される。ただし、この場合には $Al_{0.3}Ga_{0.7}As$ 層301の厚さと低不純物密度GaAs層202の厚さを加えたものが電子密度を決定するので、その値が2000Å以上になることが望ましい。なお、低不純物密度GaAs層202の厚さは100Å程度以下になると電子の移動度の低下等の悪影響が現われるので100Å以上であることが望ましく、また2000Åを超えるとショートチャネル効果の抑制が十分でなくなるのでこの範囲で選ぶのが望ましい。ここでは500Åとした。

また、 $Al_{0.3}Ga_{0.7}As$ 層301におけるAl組成 $x$ の値が高いほどショートチャネル効果は抑制されるが、逆に、化学的に活性なAlの組成が増加することによって結晶中の不純物、あるいは欠陥の量が増加しトランジスタ特性が劣化する。したがって、Al組成 $x$ の値は実用的には0.1~0.5の間が望ましく、ここでは0.3とした。

- 19 -

素子の作製は実施例3と全く同様に行なえばよい。

相互コンダクタンスの上昇と、ドレインコンダクタンスの減少の効果によって12GHzにおける最小雑音指数は0.60dB、その時の利得は13dB、遮断周波数 $f_T$ は101GHzとなり、それぞれ改善された。

#### 実施例6

第9図に示したのは、本発明の実施例6の半導体装置の断面構造模式図である。実施例3と異なるのは低不純物密度GaAs層とn型 $Al_{0.3}Ga_{0.7}As$ 層との間に厚さ300Åの $In_{0.15}Ga_{0.85}As$ 層302( $y=0.15$ )を挿入したことである。 $In_{0.15}Ga_{0.85}As$ は電子親和力がGaAsよりも大きいので電子は $In_{0.15}Ga_{0.85}As$ 層中に集まり、 $In_{0.15}Ga_{0.85}As$ 層302はチャネルとなる。また、 $Al_{0.3}Ga_{0.7}As$ と $In_{0.15}Ga_{0.85}As$ との電子親和力の差が $Al_{0.3}Ga_{0.7}As$ とGaAsとの電子親和力の

- 20 -

差よりも大きいので、チャネル中に存在する電子の密度が $1.5 \times 10^{18}/cm^3$ と実施例3の1.5倍になった。

なお、 $In_{0.15}Ga_{0.85}As$ はGaAsと格子定数が異なるが、厚さが300Åと薄いため、界面に転位が発生することは無く素子の特性が劣化することもない。 $In$ の組成をさらに増加させることによって電子親和力の差は増大するが、格子定数の不一致も大きくなるので、界面に大量の転位が発生しないように膜厚を更に薄くする必要がある。実際には $In_{0.15}Ga_{0.85}As$ において $In$ 組成 $y$ の値が0.4以上であると膜厚を10Å以下にしなければならず、効果がほとんど無くなるので、 $In$ 組成 $y$ の値は0.4以下であることが望ましい。

素子の作製は実施例3と全く同様に行なえばよい。

チャネル中に存在する電子の密度が増加したことによってソース・ゲート間抵抗 $R_{SG}$ が $0.35 \Omega \cdot cm$ に減少し、12GHzにおける最小雑音指数は0.58dB、その時の利得は13dB、遮断周波数 $f_T$ は

- 21 -

- 22 -

105 GHz となり、それぞれ改善された。

なお、本実施例において、実施例 5 と同様到低不純物密度 GaAs 層 202 の一部、もしくは全部を AlGaAs 層 301 で構成すれば本実施例の効果に加えて実施例 5 同様の効果が得られるのは言うまでもない。

#### 【発明の効果】

以上説明したように、本発明によれば、ゲート耐圧を高く保ったまま、ヘテロ接合における界面の接触抵抗を低減することが可能になる。

#### 4. 図面の簡単な説明

第 1 図は、本発明の実施例 1 のヘテロ接合のエネルギー帯構造図、第 2 図は、従来例のヘテロ接合のエネルギー帯構造図、第 3 図は、本発明の実施例 2 のヘテロ接合のエネルギー帯構造図、第 4 図は、本発明の実施例 3 の半導体装置の断面構造模式図、第 5 図 (a) は、本発明の実施例 4 の半導体装置の断面構造模式図、第 5 図 (b) は、そのゲート電極下部のエネルギー帯構造図、第 6 図は、本発明の実施例 3 において、

$n^+$  型 AlGaAs 層 (205) 中のドナー不純物密度を変えたときの接触低効率の値の変化を示す図、第 7 図は、本発明の実施例 3 において  $n^+$  型 AlGaAs 層 (205) の厚さを変えたときの接触低効率の値の変化を示す図、第 8 図は、本発明の実施例 5 の半導体装置の断面構造模式図、第 9 図は、本発明の実施例 6 の半導体装置の断面構造模式図である。

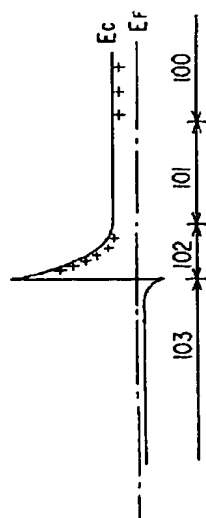
100... $n$  型 AlGaAs 層  
101...アンドープ AlGaAs 層  
102... $n^+$  型 AlGaAs 層  
103... $n$  型 GaAs 層  
104...アンドープ GaAs 層  
106...アンドープ AlGaAs 層  
201...半絶縁性 GaAs 基板  
202...低不純物密度 GaAs 層  
203... $n$  型 AlGaAs 層  
204...低不純物密度 AlGaAs 層  
205... $n^+$  型 AlGaAs 層  
206... $n$  型 GaAs 層

- 23 -

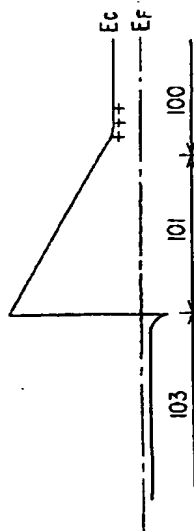
- 24 -

207...ソース電極  
208...ゲート電極  
209...ドレイン電極  
210...アクセプタ不純物導入領域  
301...低不純物密度 AlGaAs 層  
302...低不純物密度 InGaAs 層

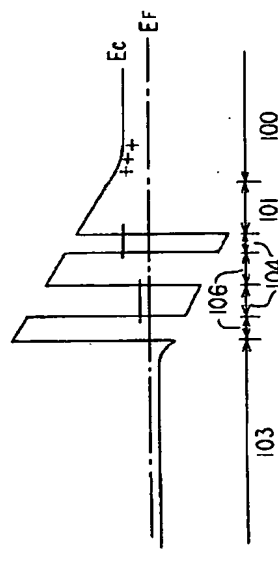
代理人 弁理士 中 村 純 之 助



第 1 図

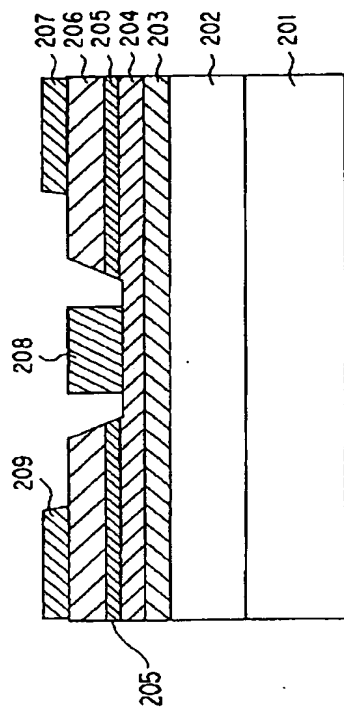


第 2 図

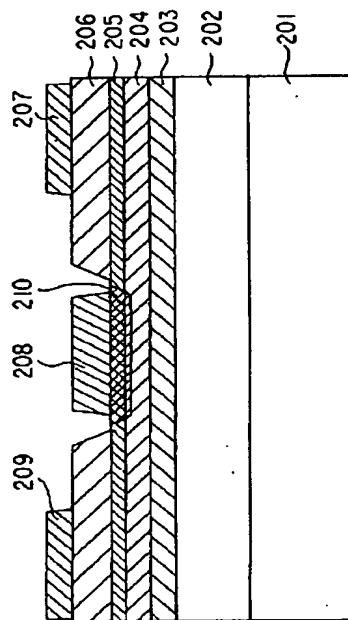


第 3 図

- 100--- $\pi$ 型 AlGaAs 層
- 101---高純度 AlGaAs 層
- 102--- $\pi^+$ 型 AlGaAs 層
- 103--- $\pi$ 型 GaAs 層
- 104---高純度 GaAs 層

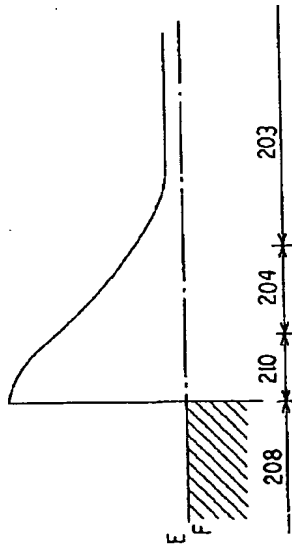


第 4 図

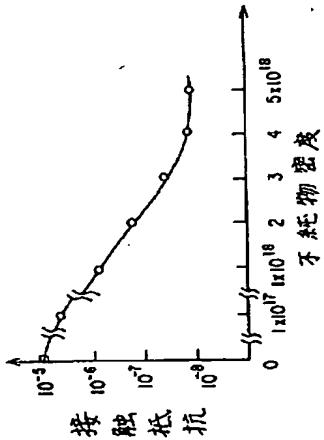


第 5 図 (a)

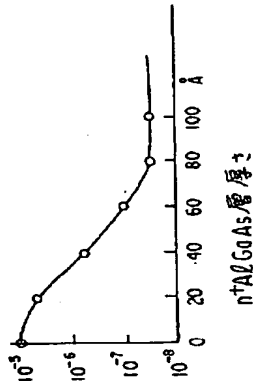
- 201---半絶縁性 GaAs 層
- 202---高純度 GaAs 層
- 203--- $\pi$ 型 AlGaAs 層
- 204---高純度 AlGaAs 層
- 205--- $\pi^+$ 型 AlGaAs 層
- 206--- $\pi$ 型 GaAs 層
- 207---ソース電極
- 208---ゲート電極
- 209---ドレイン電極
- 210---アケツパ層



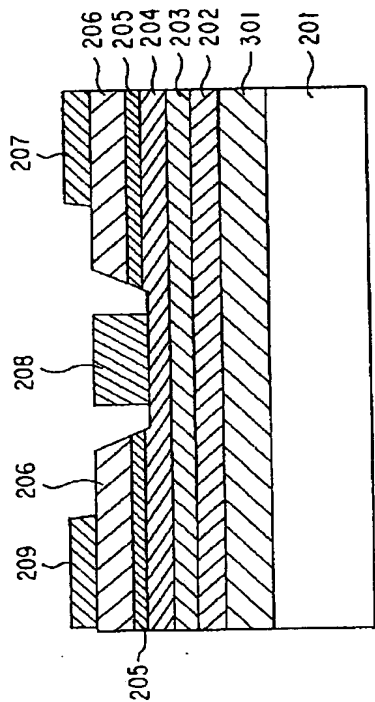
第 5 図 (b)



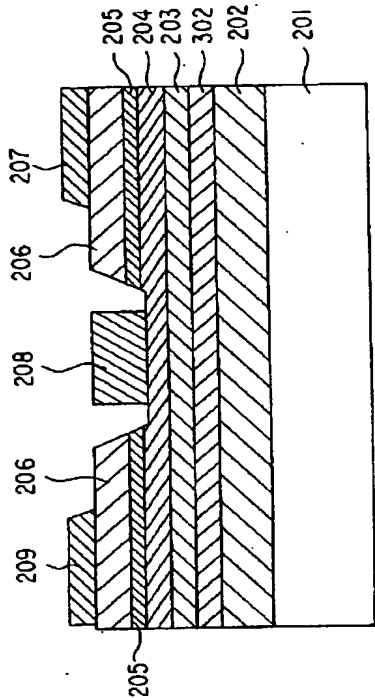
第 6 図



第 7 図



第 8 図



第 9 図

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成9年(1997)3月28日

【公開番号】特開平2-285682  
 【公開日】平成2年(1990)11月22日  
 【年通号数】公開特許公報2-2857  
 【出願番号】特願平1-105922  
 【国際特許分類第6版】

H01L 29/778  
 21/338  
 29/812

【F1】

H01L 29/80 H 7376-4M

# 手 続 補 正 書

平成 8 年 4 月 1 8 日



特許庁長官 殿

1. 事件の表示 平成 1 年特許願第 106922 号

2. 補正をする者

事件との関係 特許出願人

名 称 (510) 株式会社 日立製作所

3. 代 理 人

住 所 (〒100) 東京都千代田区丸の内一丁目5番1号

新丸ノ内ビルディング3階45号(電話3214-0502)

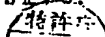
氏 名 (6835) 弁理士 中村 純之助



4. 補正の対象 発明の名称、明細書の特許請求の範囲、  
 発明の詳細な説明の各欄

5. 補正の内容

- (1) 発明の名称を「半導体装置」と訂正する。
- (2) 明細書の特許請求の範囲を添付別紙のように訂正する。
- (3) 明細書第19頁第11行の「大き」を「小さ」と訂正する。



## 別 紙

### 特許請求の範囲

1. ゲート電極を挟んでチャネルの両側に位置するソース電極およびドレイン電極と上記チャネルとを構成する能動層との間に第1の半導体異種接合が形成されたトランジスタを有する半導体装置において、上記第1の異種接合は伝導帯または価電子帯にエネルギー不連続状態を有し、上記第1の異種接合を構成する半導体層のうちキャリアに対してポテンシャル障壁となる第1の半導体層は上記ソース電極および上記ドレイン電極から逆側に位置し、上記第1の半導体層は上記ゲート電極と上記チャネルとの間を隔てて上記ソース電極と上記ドレイン電極の部分間で連続しており、上記第1の半導体層の上記第1の異種接合の界面側は上記キャリアを生じさせる不純物で高濃度化していることを特徴とする半導体装置。

2. 上記能動層は第2の半導体異種接合を有し、上記第2の異種接合を構成する半導体層のうち上記キャリアに対してポテンシャル障壁となる第2の半導体層は上記キャリアを生じさせる不純物を有しており、上記第2の半導体層は第3の半導体層と上記第3の異種接合を形成しており、上記第3の半導体層の上記第2の異種接合の界面側に上記キャリアが流れる上記チャネルが形成されることを特徴とする請求項1記載の半導体装置。

3. 上記能動層の上記ゲート電極と反対側の側面に、上記キャリアに対してポテンシャル障壁となる第4の半導体層を有することを特徴とする請求項1又は2に記載の半導体装置。